

(19) 日本国特許庁 (JP)

## (12) 公表特許公報 (A)

(11) 特許出願公表番号  
特表2003-513606  
(P2003-513606A)

(43) 公表日 平成15年4月8日(2003.4.8)

(51) Int.Cl.  
H 02 M 3/28  
7/21

識別記号

F I  
H 02 M 3/28  
7/21

テ-マコト(参考)  
F 5 H 0 0 6  
R 5 H 7 3 0  
A

審査請求 未請求 予備審査請求 有 (全 29 頁)

(21) 出願番号 特願2001-535293(P2001-535293)  
 (86) (22) 出願日 平成12年11月2日(2000.11.2)  
 (85) 翻訳文提出日 平成14年5月1日(2002.5.1)  
 (86) 國際出願番号 PCT/US00/41958  
 (87) 國際公開番号 WO01/033709  
 (87) 國際公開日 平成13年5月10日(2001.5.10)  
 (31) 優先権主張番号 09/434,777  
 (32) 優先日 平成11年11月5日(1999.11.5)  
 (33) 優先権主張国 米国(US)

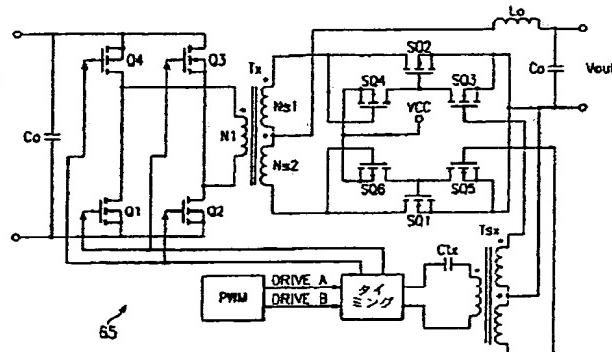
(71) 出願人 エリクソン インコーポレイテッド  
ERICSSON INC.  
アメリカ合衆国 テキサス州 75024,  
プラノ, エムエス イーブイダブリュー  
2-シー-2, レガシー 6300  
6300 Legacy, MS EVW 2  
-C-2, Plano, TX 75024,  
United States of America  
(74) 代理人 弁理士 大塚 康徳 (外3名)

最終頁に続く

(54) 【発明の名称】 同期整流の外部駆動方式

## (57) 【要約】

D C - D C パワー・コンバータ用の自己駆動の同期整流回路(50)。この回路は、一次変圧器(16)、一次変圧器(16)に接続された第1の同期整流器(SQ1)、一次変圧器(16)に接続された第2の同期整流器(SQ2)、外部駆動回路(18)を備えている。この回路はまた、第2の同期整流器(SQ2)に制御可能に接続された複数のスイッチ(SQ3, SQ4)を備えている。外部駆動回路(18)は、ターンオフ信号を両方の同期整流器(SQ1, SQ2)に提供する。第1の同期整流器(SQ1)のターンオン信号は一次変圧器(16)によって提供され、第2の同期整流器(SQ2)のターンオン信号は外部駆動回路(18)によって提供される。



## 【特許請求の範囲】

【請求項1】 DC-DCパワー・コンバータ用の外部駆動の同期整流回路であって、

一次及び二次巻線を有し、前記二次巻線が第1の端子と第2の端子とを有する一次変圧器と、

前記一次変圧器の前記第2の端子に動作可能に接続された第1の同期整流器と、

前記一次変圧器の前記第1の端子に動作可能に接続された第2の同期整流器と、

前記一次変圧器の一次巻線に動作可能に接続され、前記第1及び第2の同期整流器にターンオフ信号を提供するように構成された外部駆動回路と、

前記第2の同期整流器に動作可能に接続された第1の駆動回路と、を備えており、

前記第1の駆動回路が、前記第2の同期整流器にターンオン信号を提供するように構成されていることを特徴とする、外部駆動の同期整流回路。

【請求項2】 前記第2の同期整流器に動作可能に接続されており、これにより前記第2の同期整流器にターンオン信号を提供するように構成されている、第2の駆動回路を更に備えることを特徴とする、請求項1に記載の外部駆動の同期整流回路。

【請求項3】 前記第1の駆動回路が、

前記第2の同期整流器に動作可能に接続された第1のスイッチと、

前記第2の同期整流器に動作可能に接続された第2のスイッチと、を備えており、

これにより前記第1及び第2のスイッチが、前記駆動回路と前記第1の同期整流器のインバータとを1つにまとめることにより、単純な整流方式を提供するのに使用されていることを特徴とする、請求項2に記載の外部駆動の同期整流回路。

【請求項4】 前記第2の駆動回路が、

前記第1の同期整流器に動作可能に接続された第3のスイッチと、

記第2の端部に接続されていることを特徴とする、請求項4に記載の外部駆動の同期整流回路。

【請求項5】 出力電圧端子及び戻り電圧端子と、

前記一次変圧器の前記二次巻線の前記第1の端部及び前記出力電圧端子と直列に接続された第1のインダクタと、

前記出力電圧端子及び前記戻り電圧端子と並列に接続されたコンデンサと、を更に備えることを特徴とする、請求項1に記載の外部駆動の同期整流回路。

【請求項10】 前記タイミング変圧器の前記二次巻線が、前記戻り電圧端子に接続されたセンター・タップを備えることを特徴とする、請求項5に記載の外部駆動の同期整流回路。

【請求項11】 前記外部駆動回路が、前記タイミング変圧器の前記一次巻線及び前記タイミング回路と直列に接続されたコンデンサを更に備えることを特徴とする、請求項5に記載の外部駆動の同期整流回路。

【請求項12】 前記外部駆動回路が、考えられる加重変調を用いる手段を更に備えることを特徴とする、請求項1に記載の外部駆動の同期整流回路。

【請求項13】 前記一次変圧器の前記二次巻線が、更にセンター・タップを備えることを特徴とする、請求項6に記載の外部駆動の同期整流回路。

【請求項14】 出力電圧端子及び戻り電圧端子と、

前記一次変圧器の前記二次巻線の前記センター・タップ及び前記出力電圧端子と直列に接続されたインダクタと、

前記出力電圧端子及び前記戻り電圧端子と直列に接続されたコンデンサと、を更に備えることを特徴とする、請求項13に記載の外部駆動の同期整流回路。

【請求項15】 フルブリッジのトポロジーに適用可能であることを特徴とする、請求項1に記載の外部駆動の同期整流回路。

【請求項16】 前記第2のスイッチと直列に接続された第1の抵抗と、前記第4のスイッチと直列に接続された第2の抵抗とを更に備え、これにより前記第1及び第2の抵抗が前記回路の駆動電流を制限することを特徴とする、請求項4に記載の外部駆動の同期整流回路。

【請求項17】 前記第2のスイッチ及び前記第1の抵抗の間と直列に接続

前記第1の同期整流器に動作可能に接続された第4のスイッチと、を備えており、

これにより前記第3及び第4のスイッチが、前記駆動回路と前記第1の同期整流器のインバータとを1つにまとめることにより、単純な整流方式を提供するのに使用されていることを特徴とする、請求項3に記載の外部駆動の同期整流回路。

【請求項5】 前記外部駆動回路が、タイミング回路とタイミング変圧器とを備えており、前記タイミング変圧器が一次及び二次巻線を有しており、前記二次巻線が第1の端子と第2の端子とを有しており、これにより前記外部駆動回路が前記第1及び第2の同期整流器にターンオフ信号を提供するよう構成されていることを特徴とする、請求項1に記載の外部駆動の同期整流回路。

【請求項6】 前記第1の変圧器の前記第1の端子が、前記一次変圧器の前記二次巻線の第1の端部であり、

前記第2の変圧器の前記第1の端子が、前記タイミング変圧器の前記二次巻線の第1の端部であり、

前記第1の変圧器の前記第2の端子が、前記タイミング変圧器の前記二次巻線の第2の端部であり、

前記第1及び第2の同期整流器がMOSFETを含むことを特徴とする、請求項5に記載の外部駆動の同期整流回路。

【請求項7】 前記第1及び第2のスイッチがゲートを有するMOSFETを含み、前記第1のスイッチの前記ゲートが前記タイミング変圧器の前記第1の端部に接続されており、前記第2のスイッチの前記ゲートが前記一次変圧器の前記第1の端部に接続されていることを特徴とする、請求項3に記載の外部駆動の同期整流回路。

【請求項8】 前記第3及び第4のスイッチがゲートを有するMOSFETを含み、前記第3のスイッチの前記ゲートが前記タイミング変圧器の前記第2の端部に接続されており、前記第4のスイッチの前記ゲートが前記一次変圧器の前

された第5のスイッチと、

前記第4のスイッチ及び前記第2の抵抗の間と直列に接続された第6のスイッチと、を更に備えており、

これにより前記第5及び第6のスイッチが、前記第1及び第2の同期整流器のゲート電圧をそれぞれ制限することを特徴とする、請求項16に記載の外部駆動の同期整流回路。

【請求項18】 前記第5及び第6のスイッチがゲートを有するMOSFETであり、前記第5及び第6のスイッチのゲートが電圧源に接続していることを特徴とする、請求項17に記載の外部駆動の同期整流回路。

【請求項19】 前記タイミング変圧器の前記二次巻線が第1及び第2の副巻線を備え、前記第1の副巻線が第1の端子及び第2の端子を有し、前記第2の副巻線が第1の端子及び第2の端子を有することを特徴とする、請求項6に記載の外部駆動の同期整流回路。

【請求項20】 入力端及び出力端を有する第1のダイオードと、

入力端と出力端とを有する第2のダイオードと、

第1及び第2の端子を有する第1のコンデンサと、

第1及び第2の端子を有する第2のコンデンサと、を更に備えており、

これにより前記回路が従来の半波及び全波整流の構成に適用され得ることを特徴とする、請求項19に記載の外部駆動の同期整流回路。

【請求項21】 前記第1のダイオードの前記出力端が前記第1のスイッチに直接接続されており、

前記第2のダイオードの前記出力端が前記第3のスイッチに直接接続されており、

前記第1のコンデンサが前記第1のコンデンサの前記第1の端子に直接接続され、前記第1のコンデンサの前記第2の端子が前記第1の副巻線の前記第1の端子に接続されており、

前記第2のコンデンサが前記第2のコンデンサの前記第1の端子に直接接続され、前記第2のコンデンサの前記第2の端子が前記第1の副巻線の前記第1の端子に接続されており、

これにより前記第1及び第2の整流器の動作電圧が、電圧オーバーシュートをなくすように制限されることを特徴とする、請求項20に記載の外部駆動の同期整流回路。

【請求項22】 一次変圧器、第1及び第2の同期整流器、外部駆動回路、駆動回路、及び出力端子を有する外部駆動の同期整流回路を用いて、DC-DCパワー・コンバータの変動するDC信号を整流する方法であって、

変動するDC信号を前記一次変圧器に提供して、前記第1及び第2の同期整流器に対するターンオフ・タイミングを提供するステップと、

変動するDC信号を前記外部駆動回路に提供して、前記第1及び第2の同期整流器に対するターンオフ・タイミングを提供するステップと、

前記第1及び第2の同期整流器で利用する前駆信号を反転するステップと、

前記反転された信号を前記出力端子に提供するステップと、を備えることを特徴とする、方法。

【請求項23】 第1の電圧リミッタで前記第1の同期整流器を制御するステップと、

第2の電圧リミッタで前記第2の同期整流器を制御するステップと、を更に備えることを特徴とする、請求項22に記載の方法。

【請求項24】 第1のコンデンサで電圧オーバーシュートを制御するステップと、

第2の電圧リミッタで電圧オーバーシュートを制御するステップと、を更に備えることを特徴とする、請求項22に記載の方法。

【請求項25】 第1の電流制限抵抗で電流を制限するステップと、

第2の電流宣言抵抗で前記電流を制限するステップと、を更に備えることを特徴とする、請求項22に記載の方法。

*Lossless Synchronous Rectifier Gate Drive*という題名の米国特許第5,274,543号を参照せよ。これらのタイプのコンバータでは、二次巻線の電力変換信号は、最少の変更で同期整流器を直接駆動するのに適した形状及びタイミングとなる。

#### 【0005】

ハードスイッチのハーフブリッジ(HB)及びフルブリッジ(FB)の整流器のようなトポロジー、ブッシュブルのトポロジー、並びに非“D, 1-D”タイプのトポロジー(例えば、受動的リセットのクランプ・フォワード)においては、変圧器の電圧は、自己駆動の同期整流を実現するには望ましくない、認識可能なゼロ電圧区間を有している。結果として、これらの回路トポロジーと共に外部駆動回路を使用する必要がある。同期整流器を駆動するのに変圧器の電圧を使用することは、同期整流器に使用されるMOSFETの非並列(anti-parallel)の寄生ダイオードが、フリーホール区間の有意な部分で漏通することとなり、モジュールの効率に悪影響を与え、好ましくない。共振リセット・フォワードに対する、ある種の自己駆動の実現が報告されている。IEEE APEC 1994 Proceedingsの786-792ページのMurakami, N.等の“A highly efficient, low-profile 300W power pack for telecommunications systems”及び、IEEE APEC 1995 Proceedingsの297-302ページのYamashita, N.等の“A compact highly efficient 50W on board power supply module for telecommunications systems”を参照せよ。これらの実施態様においては、フリーホール区間の間に正確なゲート駆動信号を提供するように、共振リセット区間が調整されている。従って、外部駆動の実施態様は、多くの場合において同期整流に良好な解決策を提供する。しかしながら、從来技術の外部駆動の同期整流器は、複雑かつコストがかかる。

#### 【0006】

非“D, 1-D”タイプのトポロジーに対する外部駆動方式の実施は、例えば、一次駆動、信号変換器や光カプラに関する、一次側と二次側のインバータ段及び駆動段の間のタイミング情報を転送する、同期整流器の駆動パルスの適切な調整を可能とするタイミング・ネットワークを必要とする。インバータ段は、フリーホール電流を処理する同期整流器の適切な駆動パルスを生成するに必要で

#### 【発明の詳細な説明】

##### 【0001】

###### 技術分野

本発明は複数の集積回路に關し、より詳細には、全てのタイプの回路トポロジーに容易に適用できる、DC-DCパワー・コンバータ用の簡易型の外部駆動の同期整流方式に関する。更に詳細には、本発明はタイミング回路の複雑性を単純化した同期整流のための方法を提供する。

##### 【0002】

###### 発明の背景

論理集積回路(IC)は、より高い周波数で動作するように動作電圧が低くなっている。システム全体のサイズが縮小されるにつれて、電源の設計に小さく高効率のパワーモジュールが要求されている。効率を改善し電力密度を向上させるための努力の過程において、これらのタイプのアプリケーションには同期整流が必要となっている。低電圧の半導体デバイスが実現可能な技術となるよう進歩するにつれて、ここ10年で同期整流は非常に一般的となった。

##### 【0003】

同期整流は、回路内の整流素子としてのダイオードの代替としてのMOSFETなどの能動素子を使用することに関連している。近年、5ボルト以下の出力電圧用のDC/DCモジュールにおける同期整流器を駆動する望ましい方法として、自己駆動同期方式が業界で広く用いられるようになってきた。

##### 【0004】

これら自己駆動方式の大部分は、“D, 1-D”(相補駆動)として一般に知られるタイプの、非常に特殊なトポロジーのセットと共に使用するよう設計されている。Cobos, J.A.等による、IEEE APEC 98 Proceedingsのページ163~169の“Several alternatives for low output voltage on board converters”を参照せよ。また、1996年1月31日にBowman等に発行された、Self-synchronized Drive Circuit for a Synchronous Rectifier in a Clamped-Mode Power Converterという題名の米国特許第5,590,032号、及び1993年1月28日にLoftusに発行された、Zero-voltage Switching Power Converter with

ある。そのような外部駆動方式の複雑性及びコストは、電子産業が外部駆動の同期整流器を取り入れるのを抑止してきた。このように、外部駆動の同期整流器の簡単な実現が望まれている。

##### 【0007】

###### 発明の概要

本発明は外部駆動の同期整流方式が全てのタイプのトポロジーに容易に適用できるという技術的利点を達成するが、これまで有効な外部駆動の同期整流方式が利用できなかった、ブッシュブルのコンバータ、2スイッチのフォワード、一般的なフォワード・コンバータ(ハードスイッチのハーフブリッジ(HB)及びフルブリッジ(FB)の整流器)、及び非“D, 1-D”タイプのトポロジー(例えば、受動的リセットのクランプ・フォワード)に特に適用可能である。

##### 【0008】

一つの実施形態では、DC-DCパワー・コンバータ用の外部駆動の同期整流器が開示されている。この回路は、一次及び二次巻線を有する第1の変圧器をしており、二次巻線は第1及び第2の端子を有している。この回路は、前記第1の変圧器の第2の端子に接続されたゲート及び制御端子を有する第1の同期整流器と、前記第1の変圧器に接続され制御端子を有する第2の同期整流器とを含んでいる。外部駆動回路は、一次及び二次巻線を有する第2の変圧器を含んでおり、二次巻線は第1及び第2の端子を有している。第1のスイッチは第2の同期整流器の制御端子に制御可能に接続されており、第2のスイッチも第2の同期整流器の制御端子に制御可能に接続されている。この回路は更に、第1の変圧器の第1の端子と直列なインダクタと、電圧出力端子と、インダクタと並列なコンデンサとを備えている。第1の同期整流器が第2の変圧器に接続されていないので、第2の同期整流器だけが外部駆動回路からタイミング情報を受信できる。

##### 【0009】

別の実施形態では、DC-DCパワー・コンバータ用の外部駆動の同期整流回路が開示されている。上記で説明した実施形態と同様なこの回路は、第3及び第4のスイッチを更に備えており、第3のスイッチは第2の同期整流器に接続されており、第4のスイッチは第1の同期整流器に接続されている。各スイッチは、

ゲート、ドレン及びソースを含んでおり、第2の変圧器の二次巻線は、電圧出力端子に接続されたセンター・タップを備えている。第1のスイッチのゲートは第2の変圧器の二次巻線の第1の端部に接続されており、第2のスイッチのゲートは第2の変圧器の第2の端部に接続されており、そのため両方のスイッチは外部駆動回路からタイミング信号を受信することができ、これにより両方の同期整流器が外部駆動回路からタイミング情報を受信できる。

## 【0010】

本発明の他の実施形態は、全波整流器としての実施を含んでいる。更に他の実施形態は、回路の駆動電流を制限する電流制限抵抗を利用し、ゲート電圧を制限する追加のスイッチと、同期整流器の両端の電圧のオーバーシュートを最小にする追加のコンデンサを含んでいる。

## 【0011】

一次巻線及び二次巻線を有し、二次巻線が第1及び第2の端子を有している変圧器を備える外部駆動の同期整流回路を用いて、DC-DCパワー・コンバータの変動するDC信号を整流する方法も開示されている。この方法は、変動するDC信号を変圧器の一次巻線に提供するステップと、二次巻線の第2の端子を通して制御可能に電流を流す第1の同期整流器を提供するステップと、第1の同期整流器を制御する第1のスイッチを提供するステップとを含んでいる。第2の同期整流器は二次巻線の第1の端子を通して制御可能に電流を流し、第1のスイッチは第2の同期整流器を制御し、第1及び第2の同期整流器は二次巻線両端の電圧がほぼゼロであるときに導通する。

## 【0012】

本発明の上記の特徴は、添付の図面を参照して以下の説明を検討することにより明確に理解されよう。

## 【0013】

特に説明しない限り、様々な図における同じ数字及び符号は同様な部品を示すものとする。

## 【0014】

好適な実施形態の詳細な説明

2の同期整流器SQ2のゲートに接続されている。図1Aに示されたように、第2の同期整流器SQ2のゲートを駆動するのにゲート38a及び38bが使用されてもよい。

## 【0018】

従来技術の第2の例の同期整流回路12が図1Bに示されており、ここではタイミング情報を両方の同期整流器SQ1及びSQ2に提供するのに外部駆動回路18を利用している。第2の同期整流回路12は、タイミング情報を受信するために、第2の同期整流器32が接続されていると同様に、第1の同期整流器SQ1のゲートが二次巻線32の第1の端子34に接続されていることを除くと、上記で説明した第1の同期整流回路10と類似している。図1Cは、一次変圧器16両端の電圧に応じて変動する、第1の同期整流器SQ1、第2の同期整流器SQ2、及びスイッチQ1のゲート-ソース間の電圧波形を示している。

## 【0019】

従来技術の同期整流回路10及び12は、切り替えの正確なオン及びオフを保証するため、同期整流器SQ1及びSQ2に必要なタイミングを提供するが、これらの実施形態は複雑でかつ高価である。複雑さとコストのため、従来技術の同期整流回路10及び12は、多くのアプリケーションについて産業的に受け入れられなかった。本発明は、回路の複雑さとコストを低減した外部駆動の同期整流回路の簡単な実施形態を提供する。その上、本発明は、一般的には同期整流回路10及び12の破壊を引き起こす、電流が出力から入力に流れようとするときに、同期整流器SQ1及びSQ2を動作不能とするのをなくすことを含む、他の利点を提供する。

## 【0020】

本発明は、図2Aの受動的リセット配置を有するフォワード・コンバータ同期整流回路50に示されるように、2つのスイッチSQ3及びSQ4からなる第1の駆動回路52を追加することによって、従来技術の同期整流回路10及び12と比較して、複雑さ及びコストを少なくする解決策を提供する。好ましくは、スイッチSQ3及びSQ4は、同期整流器SQ1及びSQ2として使用されるMOSFETよりも小さいMOSFETである。スイッチSQ3及びSQ4は、同期

本発明の構成及び方法について、上記に説明する。従来技術の回路を最初に検討し、その後に本発明のいくつかの好適な実施形態及び代替例を説明し、利点について検討する。

## 【0015】

同期整流方式を一般的なフォワード・トポロジーに適用する際の1つの問題は、フリー・ホイール段が終了する前にフリー・ホイール段がオフとなる間に導通する同期整流器である。その上、同期整流器のMOSFETを用いると、MOSFETの非並列寄生ダイオードが導通し、損失が増大する。MOSFETがオン状態を維持し、フリー・ホイール段全体の間に導通してこれらのタイプのコンバータに対する同期整流方式を効果的に実施し、高い効率を得ることが必要とされる。外部駆動の回路は、同期整流器に対して適切な駆動パルスが生成されることを可能とする。従来技術はフリー・ホイール電流の問題に対する解決策を確立した。

## 【0016】

図1A及び1Bを参照すると、一般的なフォワード・トポロジーで使用される従来技術の外部駆動の同期整流回路10が示されており、図1Cには対応する電圧波形のタイミング図が示されている。第1の同期整流器SQ1に対するタイミング信号は一次変圧器16から得られ、同期整流器SQ2はタイミング信号を外部駆動回路18から得る。一次変圧器16は、それぞれ20及び22で示す一次及び二次巻線を有している。

## 【0017】

このように、同期整流回路10に対するタイミング情報のいくつかは、一次巻線20から二次巻線22に情報を転送することにより得られる。二次巻線22は第1の端子24と第2の端子26とを有している。タイミング情報は、第1の同期整流器SQ1のゲートを第2の端子26に接続することによって第1の同期整流器SQ1に転送される。同様に、第2の同期整流器SQ2は、タイミング回路28及び第2の変圧器30を含む外部駆動回路18からタイミング情報を受信する。第2の変圧器30は、第1の端子34と第2の端子36とを有する二次巻線32を有している。第2の変圧器の一次巻線31は、タイミング情報を受信し、その情報を二次巻線32に転送する。第2の変圧器32の第1の端子34は、第

整流器SQ2を駆動するのに使用される。図2Aに示されたように、インバータ段及び駆動回路52はスイッチSQ2、SQ3及びSQ4を利用して一つにまとめられた。

## 【0021】

本発明によれば、同期整流器SQ1及びSQ2は、一次変圧器16の電圧が極性を切り替えるときにオフとなる。同期整流器SQ2は、非並列ダイオードD1によってオンとなる。タイミング情報は一次変圧器16から得られるので、タイミング回路18は同期整流器SQ1及びSQ2をオンにするためには使用されない。同期整流器SQ2はタイミング回路18に接続されており、適切なターンオフ・タイミングを提供する。従って、タイミング回路18は、同期整流回路10及び12で使用されたものと比較して、複雑さをかなり低減したものとできる。インダクタL0は、第1の端子24と電圧出力端子48の間と直列に接続されて電流リップルを平滑化し、出力端子48両端のコンデンサC0は出力電圧V0を平滑化する。

## 【0022】

この外部駆動の同期整流回路50の付加的利点は、追加のスイッチSQ3及びSQ4が、整流器SQ2を駆動するのに使用されるゲート駆動信号に対するアクティブ・ダンパーとして働くことである。スイッチSQ3及びSQ4は、半導体デバイスの漏遊インダクタンス及び出力容量の相互作用により、一次変圧器16の二次巻線22に通常現れる、寄生共振からのバッファを同期整流器SQ2のゲート信号に提供する。

## 【0023】

図2Bは、同期整流器SQ1及びSQ2がいずれも自己駆動型でない、本発明による別の実施形態の同期整流回路55を表わしている。ここでも、スイッチSQ3、SQ4、SQ5及びSQ6で表わされるように、インバータ段及び駆動段は第1及び第2の駆動段52及び57にまとめられている。詳細には、スイッチSQ3及びSQ4は、外部駆動回路18から同期整流器SQ2にターンオフ電圧を提供するのに使用される。一次変圧器16からのタイミング情報のいくつかは、同期整流器SQ1及びSQ2にターンオフ電圧を提供するのに利用される。外

## 特表2003-513606

部駆動回路18は整流器SQ1及びSQ2のターンオフ時間だけを提供するので、タイミング回路28の複雑さは大いに低減される。

### 【0024】

本発明を全波整流器と使用する実施態様は、図3に全体を60で表わして示した半波整流器の実施態様と類似している。しかしながら、同期整流器SQ1及びSQ2のターンオフは外部駆動回路(図30には不図示)の二次変圧器からの信号によって決定され、ターンオフ・タイミングは一次変圧器16によって生成される電圧によって決定される。この駆動方式がブッシュブル、ハーフブリッジ、又はフルブリッジ等のトポロジーで実施されると、従来は最終的にはパワー・モジュールを破壊させるパワー・フローの反転となった状態について、興味深い現象が観察される。本発明の全波整流器60は、電流が逆方向に形成されるのを防止する、自動補正メカニズムを備えている。

### 【0025】

本発明では、パワー・フローの反転がある状態の間に、インダクタL0を流れる電流が減少して負となり、このためアクティブ・スイッチSQ1、SQ2、SQ3及びSQ4を流れる電流と、それらの非並列ダイオードを流れる電流も極性が変わる。従って、スイッチSQ1及びSQ3がオンとなるとき、電流がそれらの非並列ダイオードを流れつづけるのでなくともならない。事実上、スイッチSQ1及びSQ3はそれらの非並列ダイオードがオフに切り替わらない限り、オフにはならない。反映された負荷電流と磁化電流の合計がゼロ又はわずかに正であるときに、非並列ダイオードは最終的にオフとなる。このように、相反する状態が全く発生しないように、第2の同期整流器SQ2は一次変圧器16の電圧がゼロに消失するまでオンとならない。概してこの自動補正メカニズムはブッシュブルのトポロジーに対してのみ動作するが、それは他のトポロジーの多くと同様に、スイッチSQ1、SQ2、SQ3及びSQ4のターンオフが同期整流器SQ1及びSQ2のターンオフを決定しないからである。

### 【0026】

図4Aは、全体を65で示したフルブリッジ・トポロジー用の外部駆動の同期整流回路の実施態様を表わしており、フルブリッジ・トポロジーにおけるパワー

回路65の通常の動作をシートースルー電流が妨害する場合、図4Bに示されるように、オプションの抵抗R1及びR2が追加され得る。ここでもインバータ段及び駆動段は、スイッチSQ4及びSQ6のp-FET及びSQ3及びSQ5のn-FETデバイスを用いて1つにまとめられている。これらのデバイスのターンオン及びターンオフ特性により、ターンオン及びターンオフの間に外部駆動回路にシートースルー電流が現れる。p-FETデバイスのスイッチSQ4及びSQ6と並列な制限抵抗R1及びR2の追加は、シートースルー電流の影響を最少とするであろう。

### 【0030】

実際のアプリケーションのほとんどで、ゲートのブレークダウン電流を越えないように、ゲート駆動信号を所定の値にクランプする必要がある。同期整流回路10及び12の電圧は、結果として供給電圧となる整流された変圧器のピーク電圧から生成されるが、その供給電圧は入力電圧の変動の影響を受けやすい。ゲート電圧を所定の値に制限する本発明の実施形態が図6に示されている。この実施態様では、好ましくはN型MOSFETを含む電圧制限スイッチの対、SQ7及びSQ8が、VCCS2-ゲートから閾値電圧(1~2ボルト)を減じるために同期整流器SQ1及びSQ2のゲートに追加されている。

### 【0031】

従来の半波及び全波の同期整流器の構成にこの駆動方式を実施すると、同期整流器SQ1及びSQ2のゲート電圧が浮遊状態となるであろう。従って、駆動スイッチのゲート信号へのレベルシフトが必要である。駆動スイッチへの駆動電圧のレベルシフトが、図7A及び7Bに示されている。コンデンサCC2及びCC3は、同期整流器の両端の電圧及び同期整流器SQ1及びSQ2のタイミング回路18の電圧のオーバーシュートを最小とするために、絶縁接続を提供する。

### 【0032】

本発明の外部駆動の同期整流器の新規な方法及びシステムは、変圧器の二次巻線両端の電圧がほぼゼロのときに同期整流器が導通する、DC-DCパワー・コンバータ用の外部駆動の同期整流に、効率的な利点をもたらす。本発明の更なる利点は、この方式を様々なコンバータのトポロジーに適用できることである。本

・フローの反転がある状態につき、応答する電圧波形が図4Cに示されている。これらの状態は、2つ以上の並列なモジュールで、一方のモジュールがターンオン・フェーズで他方のモジュールが既にオンとなっている間(あるいはモジュールの動作電圧へのスタートアップ、ホット・プラグイン)に、非常に自由な電流共用方式が使用される場合に起こり得る。外部駆動回路18が同期整流器SQ1及びSQ2のターンオン及びターンオフ時間の両方を決定する実施態様では、典型的な同期整流器は自動補正するのを許可されず、両方の同期整流器SQ1及びSQ2はインダクタの電流が負の方向に形成されるのを許可するスイッチがオフとなるとすぐに導通するであろう。最終的には、インダクタL0の電流は負の方向に増えて、モジュールが故障するような大きさとなる。たとえモジュールが故障しなくとも、これはシステムの観点からはモジュールの望ましい動作モードではない。

### 【0027】

D及び1-Dタイプのトポロジーでは、わずかな負の電流が、容易にモジュールの故障を引き起こす、主なスイッチでの“シートースルー(shoot-through)”となるので、この問題はより深刻である。概して、同期整流でモジュールが並列しているとき、Oリング・ダイオードが必要とされる。より複雑な解決策は、インダクタの電流が負となるときに同期整流器SQ1及びSQ2を動作不能とするであろう。これはこの電流を正確に測定する手段と、回路を素早く動作不能にすることが必要であることを示唆している。

### 【0028】

図5は、Oリング・ダイオード及びアクティブな電流共用がない状態で、3.3Vのバスを駆動するための、本発明のフルブリッジの同期整流器65を使用するDC/DCコンバータの波形を示している。トレース1は出力電圧を示し、トレース2は出力電流を示し、トレース3は同期整流器SQ1及びSQ2のゲート駆動を示し、トレース4は2次バイアス電圧を示している。DC/DCモジュールの出力電流(トレース2)は、立ち上がる前の最初はわずかに負であり、これにより全波同期整流器65の期待される自動補正特性を確認している。

### 【0029】

発明の別の利点は、ゲート駆動信号に対するアクティブ・ダンパーとして働くスイッチSQ3及びSQ4が、同期整流器のゲート信号に寄生発振からのバッファを提供し、この影響を最小とするための追加の部品の必要をなくすことである。

### 【0033】

本発明を図示した実施形態を参照して説明したが、以上の説明は本発明を限定的に解釈することを意味するものではない。図示した実施形態の組合せによる様々な変形、並びに本発明の他の実施形態は、上記説明から当業者には理解されよう。例えば、同期整流器SQ1及びSQ2、スイッチSQ3、SQ4、SQ5及びSQ6、電圧ドライバSQ7及びSQ8はMOSFETとして示されているが、別のタイプのFETやスイッチング・デバイスを本発明に使用するのが好適であることが考えられる。従って、特許請求の範囲はあらゆるそのような変形や実施形態を含むものと理解されたい。

#### 【図面の簡単な説明】

##### 【図1A】

1つの同期整流器が駆動される外部駆動の同期整流を有する、従来技術の一般的なフォワード・コンバータを表す図である。

##### 【図1B】

両方の同期整流器が駆動される外部駆動の同期整流を有する、従来技術の一般的なフォワード・コンバータを表す図である。

##### 【図1C】

外部駆動の同期整流を有する一般的なフォワード・コンバータに対する、従来技術の自己駆動同期整流器の電圧波形を示す図である。

##### 【図2A】

本発明の実施形態を利用した、1つの同期整流器が駆動される外部駆動の同期整流を有する、フォワード・コンバータを表す図である。

##### 【図2B】

本発明の実施形態を利用した、両方の同期整流器が駆動される外部駆動の同期整流を有する、フォワード・コンバータを表す図である。

##### 【図3】

本発明の実施形態を利用した、外部駆動の同期整流を有する、全波整流器を表す図である。

【図4A】

【図4B】

本発明の実施形態を利用した、フルブリッジのトポロジーに対する外部駆動の同期整流器の実施を表す図である。

【図4C】

負電流が出力インダクタを通じて流れの状態の間の、フルブリッジのトポロジーに対する外部駆動の同期整流器の電圧波形を示す図である。

【図5】

フルブリッジに適用した本発明の同期整流器を用いたDC/DCコンバータの実験による波形を示す図である。

【図6】

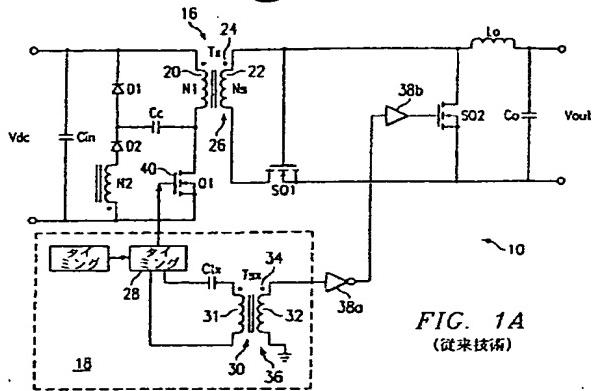
電圧制御MOSFETを有する、自己駆動の同期全波整流器の実施形態を示す図である。

【図7A】

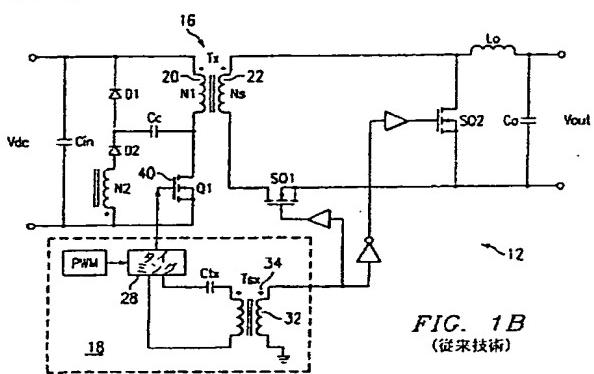
【図7B】

同期整流器の両端の電圧のオーバーシュートを低減するコンデンサを有する、本発明別の実施形態を示す図である。

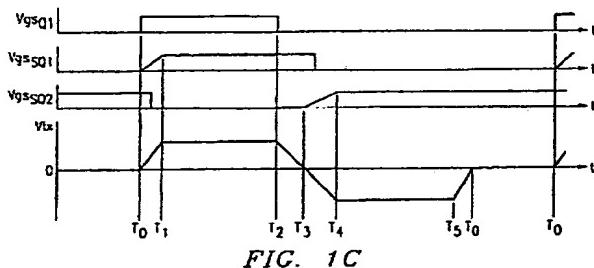
【図1A】

FIG. 1A  
(従来技術)

【図1B】

FIG. 1B  
(従来技術)

【図1C】

FIG. 1C  
(従来技術)

【図2A】

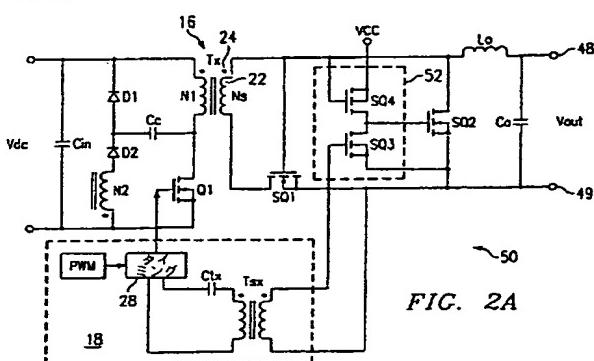


FIG. 2A

【図2B】

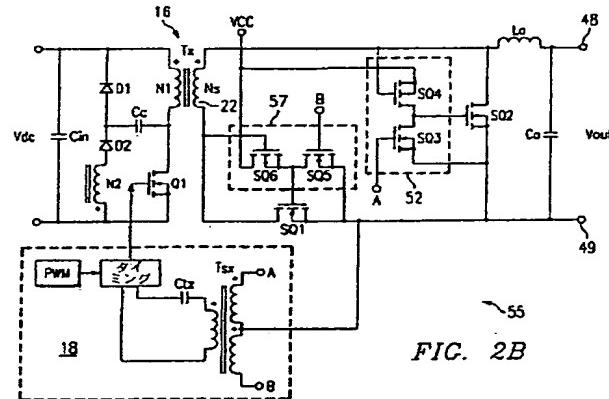


FIG. 2B

【図3】

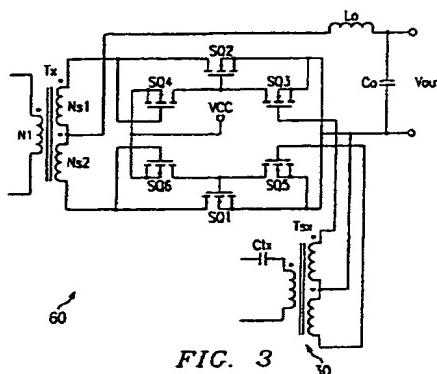
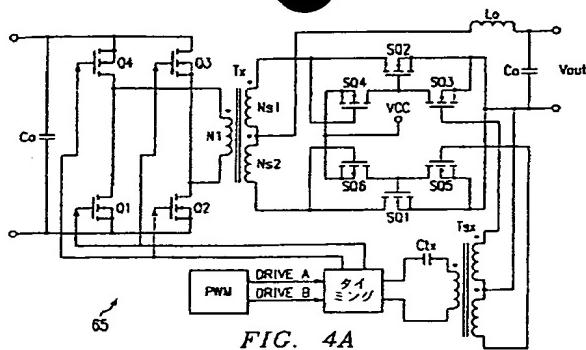
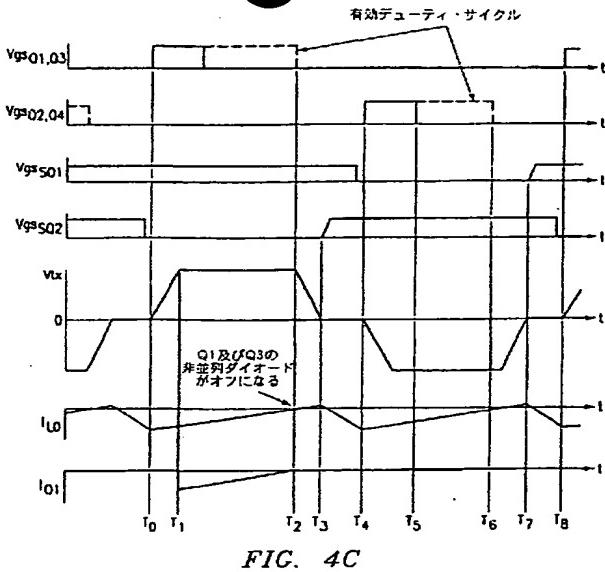


FIG. 3

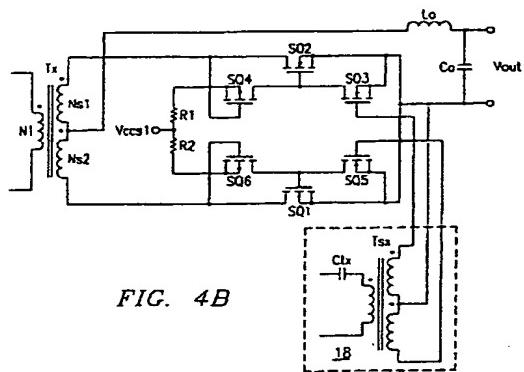
【図4 A】



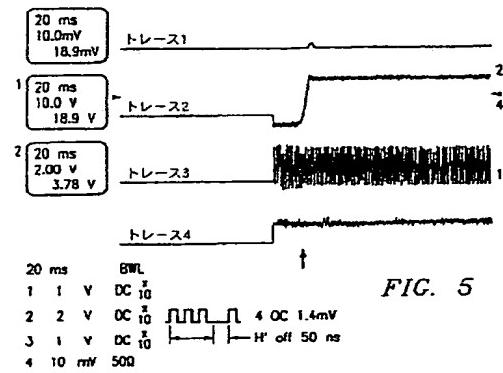
【図4 C】



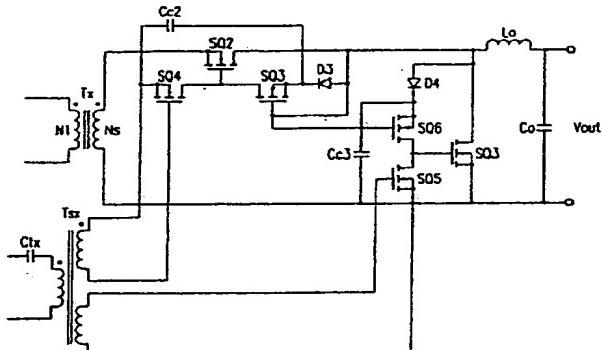
【図4 B】



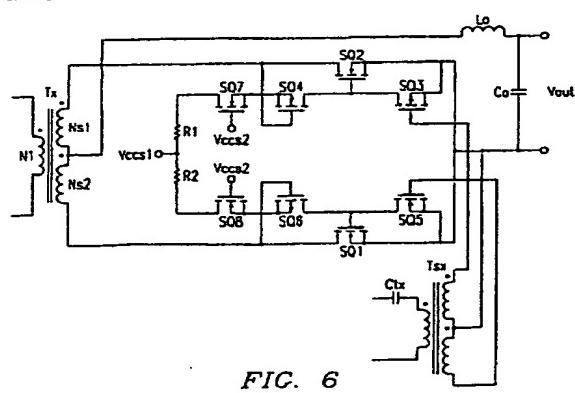
【図5】



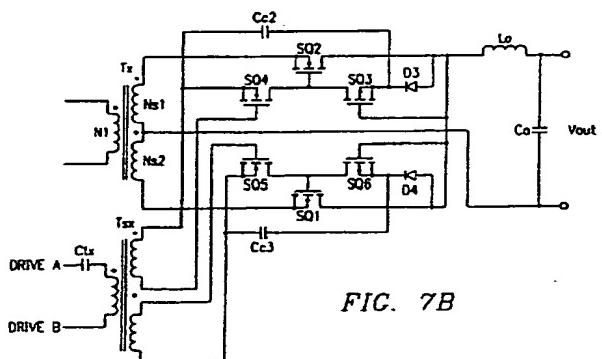
【図7 A】



【図6】



【図7 B】



---

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY,  
DE, DK, ES, FI, FR, GB, GR, IE, I  
T, LU, MC, NL, PT, SE, TR), OA(BF  
, BJ, CF, CG, CI, CM, GA, GN, GW,  
ML, MR, NE, SN, TD, TG), AP(GH, G  
M, KE, LS, MW, MZ, SD, SL, SZ, TZ  
, UG, ZW), EA(AM, AZ, BY, KG, KZ,  
MD, RU, TJ, TM), AE, AL, AM, AT,  
AU, AZ, BA, BB, BG, BR, BY, CA, C  
H, CN, CU, CZ, DE, DK, EE, ES, FI  
, GB, GD, GE, GH, GM, HR, HU, ID,  
IL, IN, IS, JP, KE, KG, KP, KR, K  
Z, LC, LK, LR, LS, LT, LU, LV, MD  
, MG, MK, MN, MW, MX, NO, NZ, PL,  
PT, RO, RU, SD, SE, SG, SI, SK, S  
L, TJ, TM, TR, TT, UA, UG, UZ, VN  
, YU, ZA, ZW

(72)発明者 ファッリン頓, リチャード, ダブリ  
ュー.

アメリカ合衆国 テキサス州 75087,  
ヒース, スカイライン サークル 101

(72)発明者 スヴァルドショ, クラエス  
アメリカ合衆国 テキサス州 75080,  
リチャードソン, グリーンリーフ ドラ  
イブ 704

(72)発明者 ハート, ウィリアム  
アメリカ合衆国 テキサス州 75025,  
ブラン, ルドヴィグ キャッスル ウェ  
イ 7700

Fターム(参考) 5H006 CA02 CB03 CB05 CB07 CC02  
5H730 AA02 AA14 BB23 BB57 DD04  
DD32 DD42 EE02 EE03 EE08  
EE10 EE13 EE72 FF18 FG05

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

In national Application No  
PCT/US 00/41958

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H02M3/335

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 03, 28 April 1995 (1995-04-28) & JP 06 343262 A (NIPPON TELEGRAPH & TELEPHONE CORPORATION), 13 December 1994 (1994-12-13) abstract ---	1,22
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 03, 31 March 1997 (1997-03-31) & JP 08 289538 A (ORIGIN ELECTRIC CO.), 1 November 1996 (1996-11-01) abstract ---	1,22

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

\* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubt on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document relating to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*U\* document of particular relevance; the claimed invention cannot be considered novel or inventive by comparison to involve an inventive step when this document is taken alone

\*V\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents such combination being obvious to a person skilled in the art.

\*G\* document member of the same patent family

Date of the actual completion of the International search	Date of mailing of the International search report
7 May 2001	14/05/2001
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patenttaan 2 NL - 2280 HV Rijswijk Tel (+31-70) 340-2040, Fax 31 651 epc nl, Fax (+31-70) 340-3010	Authorized officer  Lund, M

Form PCT/ISA/210 (second sheet) (July 1992)

page 1 of 2

## INTERNATIONAL SEARCH REPORT

International Application No PCT/US 00/41958
---

## C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 13, 30 November 1998 (1998-11-30) & JP 10 225114 A (SHINDENGEN ELECTRIC MFG C.), 21 August 1998 (1998-08-21) abstract	1,22

1

Form PCT/ISA/210 (continuation of record sheet) (July 1999)

page 2 of 2

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.  
PCT/US 00/41958

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 06343262 A	13-12-1994	NONE	
JP 08289538 A	01-11-1996	NONE	
JP 10225114 A	21-08-1998	NONE	

Form PCT/ISA/210 (patent family annex) (July 1999)